

# ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

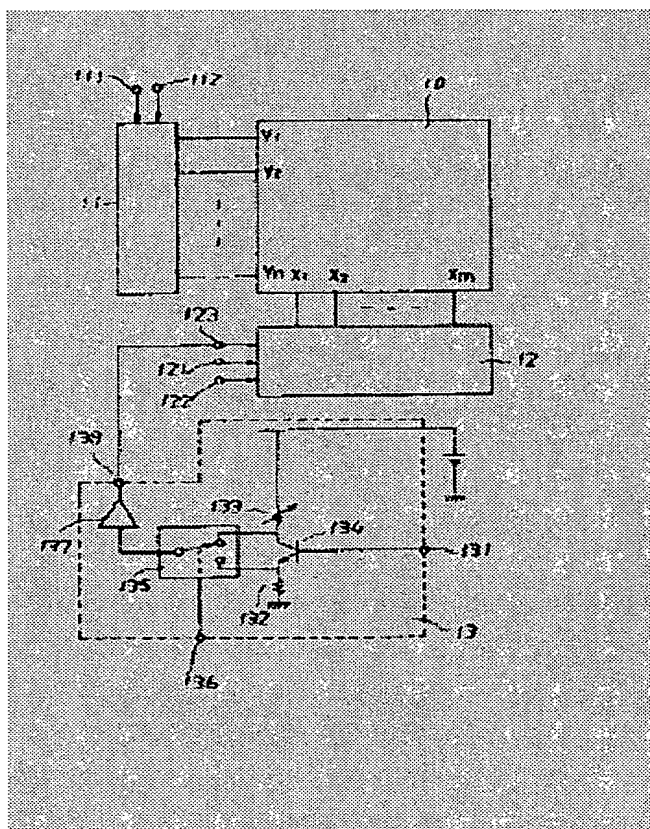
**Patent number:** JP62011829  
**Publication date:** 1987-01-20  
**Inventor:** KASAHARA KOICHI; YANAGISAWA TOSHIO; KAJIMURA MOTOJI  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
- **international:** G02F1/133; G09F9/35; G09G3/20  
- **europaen:** G09G3/36C8  
**Application number:** JP19860060660 19860320  
**Priority number(s):** JP19850061858 19850328

Also published as:

EP0196889 (A2)  
US4789223 (A1)  
EP0196889 (A3)  
EP0196889 (B1)

## Abstract of JP62011829

**PURPOSE:** To improve gradation reproducibility by changing the amplitude of the display signal voltage to be supplied to a signal line with the positive potential side and negative potential side with respect to a polarity inversion reference potential so that the voltage to be impressed to a liquid crystal is made substantially the same on the positive potential side and negative potential side. **CONSTITUTION:** The display signal supplied to an input terminal 123 is subjected to sample holding in a signal line driving circuit 12 and is converted to a parallel signal to drive the signal lines  $X_1$ - $X_m$ . The vertical scanning start pulses and vertical shift clock pulses supplied to the input terminals 111, 112 are inputted to an address line driving circuit 11 which makes the scanning signal to successively scan and drive address lines  $Y_1$ - $Y_n$ . The amplitude of the display signal voltage on the positive potential side with respect to the polarity inversion reference potential can be adjusted with respect to the amplitude on the negative potential side by the effect of a variable resistor 133 in a polarity inversion circuit 13 for the display signal, by which the voltage to be impressed to the liquid crystal can be made substantially the same on the positive potential side and the negative potential side.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

昭62-11829

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月20日

G 02 F 1/133

3 3 2

7348-2H

3 2 7

8205-2H

G 09 F 9/35

6810-5C

G 09 G 3/20

D-7436-5C

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 アクティブマトリックス形液晶表示装置

⑯ 特 願 昭61-60660

⑰ 出 願 昭61(1986)3月20日

優先権主張 ⑱ 昭60(1985)3月28日 ⑲ 日本(JP) ⑳ 特願 昭60-61858

㉑ 発 明 者 笠 原 幸 一 横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内  
 ㉒ 発 明 者 柳 澤 俊 夫 横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内  
 ㉓ 発 明 者 梶 村 元 二 横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内  
 ㉔ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
 ㉕ 代 理 人 弁 理 士 則 近 憲 佑 外1名

## 明 細 書

## 1. 発明の名称

アクティブマトリックス形液晶表示装置

## 2. 特許請求の範囲

(1) n行m列に配置された液晶セルの各々に電界効果トランジスタよりなるスイッチが設けられたアクティブマトリックス形液晶表示装置において、行ごとに前記電界効果トランジスタのゲートを共通接続したn本のアドレス線に順次走査信号を供給するとともに列ごとに前記電界効果トランジスタのドレイン(またはソース)を共通接続したm本の信号線に表示信号を供給し、この表示信号はフレーム走査周期に関連して極性反転させ且つ極性反転基準電位に対し正電位側にある一方の極性の表示信号電圧振幅と負電位側にある他方の極性の表示信号電圧の振幅とが異なる値に設定されていることを特徴とするアクティブマトリックス形液晶表示装置。

(2) 前記電界効果トランジスタとしてnチャネル薄膜トランジスタを用い、前記極性反転基準電

位に対し正電位側にある一方の極性の表示信号電圧の振幅を、負電位側にある他方の極性の表示信号電圧の振幅より小さくしたことを特徴とする特許請求の範囲第1項記載のアクティブマトリックス形液晶表示装置。

(3) 前記nチャネル薄膜トランジスタを、nチャネル及びpチャネル薄膜トランジスタで構成される相補薄膜トランジスタ対で置き替えたことを特徴とする特許請求の範囲第2項記載のアクティブマトリックス形液晶表示装置。

(4) 前記電界効果トランジスタとしてpチャネル薄膜トランジスタを用い、前記極性反転基準電位に対し正電位側にある一方の極性の表示信号電圧の振幅を、負電位側にある他方の極性の表示信号電圧の振幅より大きくしたことを特徴とする特許請求の範囲第1項記載のアクティブマトリックス形液晶表示装置。

(5) 双方の極性における表示信号電圧の振幅の比率が、前記薄膜トランジスタのゲート・ソース(又はドレイン)兼表示電極間容量と液晶セルの

容量およびアドレス線に供給する走査信号電圧の振幅に対応して、液晶セルに印加される電圧が正負対称となるように設定されていることを特徴とする特許請求の範囲第1項記載のアクティブマトリックス形液晶表示装置。

6) 前記極性反転基準電位に対し正電位側にある一方の極性の表示信号電圧の振幅と、負電位側にある他方の極性の表示信号電圧の振幅との比は1.5-3であることを特徴とする特許請求の範囲第5項記載のアクティブマトリックス形液晶表示装置。

### 3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明はアクティブマトリックス形液晶表示装置に関する。

（従来の技術）

最近、画素表示等を指向した多画素で高密度のアクティブマトリックス形液晶表示装置の開発が盛んである。これらの液晶表示装置では、一方の

基板に薄膜IC技術を用いて形成された薄膜トランジスタ（TFT）アレイが多く用いられている。

第7図は従来のアクティブマトリックス形液晶表示装置の1画素の構成の一例を示す図である。同図において、TFT(1)のドレイン電極に接続された信号線(X)と、TFT(1)のゲート電極に接続されたアドレス線(Y)とが直交して設けられている。またTFT(1)のソース電極は、液晶セルの容量 $C_{LC}$ 及びTFT(1)のゲート電極と表示電極を兼ねたソース電極とが重なりを有すること等により生ずるゲート・表示電極間容量 $C_{GS}$ の一端に接続されている。

すなわち、アモルファスシリコンのTFTを駆動スイッチング素子に使用したマトリックス表示では、各画素を構成する液晶セルの容量 $C_{LC}$ のみにより、一走査期間中の画素の信号電位を保持させており、そのためコンデンサーを別個に並列に設けていない。この分、マトリックス表示パネルに占める各画素の表示面積比が向上する。しかし、一方では、この信号保持用のコンデンサーが減少

- 3 -

するので、ゲート・ソース間容量 $C_{GS}$ が動作上、無視出来なくなる。

第8図は第7図に示した画素の駆動を説明するための波形図である。同図(a)において、実線の波形はアドレス線(Y)に供給される走査信号電圧 $V_Y$ 、破線の波形は信号線(X)に供給される表示信号電圧 $V_X$ を表示している。また同図(b)は、液晶セルの容量 $C_{LC}$ に書き込んで保持される表示信号電圧 $V_a$ を表している。即ち第8図(a)に示すように、走査信号電圧 $V_Y$ は、フレーム走査周期 $T_F$ を有している。また第8図(a)に示すように、表示信号電圧 $V_X$ はフレーム走査周期 $T_F$ ごとに極性反転基準電位 $V_a$ を基準として極性反転されている。このような走査信号電圧 $V_Y$ 、及び表示信号電圧 $V_X$ がそれぞれアドレス線(Y)及び信号線(X)に供給されると、液晶セルの容量 $C_{LC}$ には、第8図(b)に示すような波形の液晶セル電圧 $V_a$ が書き込まれ保持されるが、最終書き込電圧と保持電圧との間にはレベルシフト $\Delta V$ を生じる。この $\Delta V$ が液晶セル電圧に重畳するため、反転する正負の

- 4 -

セル電圧間に不均衡が生じることになる。すなわち、正反転時には、適正值より $\Delta V$ だけ降下し、負反転時には $\Delta V$ 分だけ増加する。

従来、セルに印加される電圧を正負とも等しくしようとする提案が特開昭59-118328号公報でなされている。すなわち、トランジスタのドレイン電圧をゲート電圧に対して、 $\Delta V$ に相当する一定電圧でバイアスすることにより、 $\Delta V$ を補償しようとするものである。また、その変形例の一つとして、液晶セルのコモン電極にバイアス電圧を印加することで補償している。しかし、この手段では本質的に $\Delta V$ を補償することにはならない。

このレベルシフト $\Delta V$ は、ゲート・表示電極間容量 $C_{GS}$ が存在するために生じ、走査信号電圧 $V_Y$ の振幅を $V_a$ としたとき

$$V = \frac{C_{GS}}{C_{GS} + C_{LC}} \cdot V_a$$

で与えられる。ここで液晶セルの容量 $C_{LC}$ は、セルギャップを $d$ 、表示電極の面積を $A$ 、液晶材料の誘電率を $\epsilon_{LC}$ 、真空誘電率を $\epsilon_0$ とすると、

$$C_{LC} = \frac{\epsilon_0 \cdot \epsilon_{LC}}{d} \cdot A$$

与えられるが、液晶材料の誘電率 $\epsilon_{LC}$ は液晶分子の配列状態、つまり印加電圧 $V_s$ により変化するもので、

$$C_{LC} = K_1 \cdot f(V_s)$$

のように印加電圧 $V_s$ の関数として与えられる。故にレベルシフト $\Delta V$ についても印加電圧 $V_s$ の関数となり、

$$\Delta V = K_2 \cdot f(V_s)$$

与えられる。なお $K_1$ と $K_2$ は定数である。こうして画像表示等において、液晶セルに印加させる実効電圧が種々の値をとるときには、レベルシフト $\Delta V$ の値も種々変化することがわかる。

第9図はこの様子を説明するための線図で、縦軸 $V$ は表示信号電圧 $V_x$ 及び液晶セルに印加される電圧 $V_s$ の値を示している。また実線 $OP$ または $ON$ は黒レベルから白レベルに至る表示信号電圧 $V_x$ の振幅を与えるもので、便宜上直線で表している。更に $O$ 点を通る横線 $V_0$ は表示信号の極性反転基準電位を示している。もしレベルシフト $\Delta V$ がない場合であれば、実線 $OP$ または $ON$ を縦軸に投影したものが、表示信号電圧 $V_x$ であると同時に液晶

セルへの印加電圧 $V_s$ である。このとき液晶セルの対向共通電極電位は、極性反転基準電位 $V_0$ が用いられるはずである。しかし実際には、レベルシフト $\Delta V$ が存在するため、TN形液晶セルで偏光板が平行の場合、白レベルに対応する $P$ 点と $N$ 点はそれぞれ $P'$ 点と $N'$ 点にシフトし、黒レベルに対応する $O$ 点は $O'$ 点にシフトする。ここで、黒レベルに対応する $O$ 点のレベルシフト量 $\Delta V_{BL}$ の方が白レベルに対応する $P$ 点と $N$ 点でのレベルシフト量 $\Delta V_{WH}$ より大きいのは、液晶の誘電率が小さい状態即ち液晶分子が電界方向に対し垂直に近い状態にあり、液晶セルの容量 $C_{LC}$ が白レベルに対応する $P$ 点または $N$ 点に比較して小さいためである。故に $O'$ 点を液晶セルの対向共通電極電位 $V_c$ に設定すると、入力表示信号電圧 $V_x$ が極性反転基準電位 $V_0$ に対して正負同振幅であっても、液晶セルに印加される電圧 $V_s$ は対向共通電極電位 $V_c$ に対する正側と負側で値が異なることになる。

(発明を解決しようとする問題点)

- 7 -

しかしながら、このことは液晶セルに直流が印加されることを意味し、寿命の面で好ましくないばかりでなく、液晶セルに印加される電圧 $V_s$ の基本周波数が半分になるため、表示にフリッカーが生ずる。また対向共通電極電位 $V_c$ を第8図の場合より高めていくと、フリッカーがなくなる点が存在するが、この状態では表示における階調再現性が損なわれ、結局、理想的な交流駆動の条件が存在しない。

前述の特開昭59-119328号公報で、 $\Delta V_{WH}$ 分のバイアス電圧をドレインおよびソースに対してゲートに印加したとしても、第9図の曲線 $V_s$ のようになり、同様の問題が残ることになる。

(発明の構成)

(問題点を解決するための手段)

本発明は、信号線に供給される表示信号はフレーム走査周期に関連して極性反転され、且つ極性反転基準電位に対し正電位側にある一方の極性の表示信号振幅と負電位側にある他方の極性の表示信号振幅とが異なる値に設定されていることを特

徴とする。

(作用)

駆動トランジスタのゲート・表示電極間容量、及び液晶セルの容量に起因するレベルシフト量を考慮して、表示信号の振幅を正側と負側とで異ならしめ、表示信号の正負振幅比は駆動の質を保持するために、望ましくは1.5~3の範囲に止めるのがよい。それによって液晶に印加される電圧が実質的に正・負で同振幅として交流駆動を行なわせしめたアクティブマトリックス形液晶表示装置が得られる。

(実施例)

以下本発明の詳細を四図を参照して説明する。

第1図は本発明の一実施例を示す概略図である。同図からわかるように液晶表示パネル(10)において、 $n$ (整数)本のアドレス線( $Y_1, \dots, Y_n$ )と、 $m$ (整数)本の信号線( $X_1, \dots, X_m$ )が等間隔で直交して配置される。両線の各交点には、第2図に示すように駆動トランジスタ(20)と画素表示電極を含む画素(21)が配列されてマトリックスを形成

する。これらアドレス線 $(Y_1), \dots, (Y_m)$ と信号線 $(X_1), \dots, (X_n)$ はそれぞれアドレス線駆動回路(11)と信号線駆動回路(12)に接続されている。そしてアドレス線駆動回路(11)は、入力端子(111), (112)に供給される垂直走査スタートパルス及び垂直シフトクロックパルスより走査信号をつくり、アドレス線 $(Y_1), \dots, (Y_m)$ を順次走査・駆動する。また信号線駆動回路(12)は、入力端子(121), (122)に供給される水平走査スタートパルス及び水平シフトクロックパルスよりサンプルパルスをつくり、入力端子(123)に供給される表示信号をサンプルホールドして並列信号に変換し、信号線 $(X_1), \dots, (X_n)$ を駆動する。そして表示信号の極性反転回路(13)において、入力端子(131)よりエミッタとコレクタにそれぞれ負荷抵抗(132)と可変負荷抵抗(133)が接続されたトランジスタ(134)のベースに単極性の表示信号を入力すると、エミッタ及びコレクタに互いに逆極性の表示信号を得る。これらの表示信号はスイッチ回路(135)に入力され、制御端子(136)に供給されるスイッチ制御信号に

より、例えばフレーム走査周期ごとに極性が反転する表示信号として出力され、バッファ増幅器(137)及び出力端子(138)を介して、信号線駆動回路(12)の入力端子(123)に供給される。なお可変負荷抵抗(133)の働きで、極性反転基準電位の対し正電位側の表示信号電圧の振幅を負電位側に振幅に対して調節することができる。調節後は固定抵抗に置き替えてよい。また極性反転基準電位は、トランジスタ(134)に与えられるベース・バイアスで決められる。更に対向共通電極の電圧には、極性反転基準電位よりレベルシフト $\Delta V_{NL}$ だけ低い電圧が与えられる。

第3図はこの実施例における電界効果トランジスタ例えば $n$ チャネルTFTのアレイを示す等価回路図で、電界効果トランジスタ(20)のドレインに列ごとに共通接続された信号線 $(X_1), \dots, (X_n)$ と、電界効果トランジスタ(20)のゲートに行ごとに共通接続されたアドレス線 $(Y_1), \dots, (Y_m)$ とが直交して設けられている。また電界効果トランジスタ(20)のソースは画素表示電極(21)と電気的に接続

- 11 -

され、この電極(21)、対向共通電極(22)及び画素電極(21), (22)間に挟持された液晶層(23)で液晶セル即ち画素が構成されている。このように $n$ 行 $m$ 列に配置された液晶セルの各々に、電界効果トランジスタ(20)よりなるスイッチが設けられている。

第4図はこの実施例の液晶表示パネル(10)の一部分を示す断面図である。この液晶表示パネル(10)は偏光板が平行のTN形で、第4図に示すように、第1の透光性基板(30)上に光しゃへい層(31)が形成され、更にこれを覆うように絶縁膜(32)が形成されている。そして絶縁膜(32)上には、信号線 $(X_1), \dots, (X_n)$ と一体のドレイン電極(33)や、画素表示電極(21)と一体のソース電極(34)等が透明導電膜で形成されている。また光しゃへい層(31)の上部に位置するドレイン電極(33)とソース電極(34)の間隙を覆うように、半導体層(35)例えばアモルファスシリコンが形成され、更に半導体層(35)の上部には、ゲート絶縁膜(36)を介してアドレス線 $(Y_1), \dots, (Y_m)$ と一体のゲート電極(37)が形成されている。そして画素表示電極(21)を除い

- 12 -

た部分は保護膜(38)例えばポリイミドで覆われ、更に画素表示電極(21)及び保護膜(38)上には液晶配向膜(39)が形成される。一方、第2の透光性基板(40)上には、対向共通電極(22)と液晶配向膜(41)が順次形成されている。カラー表示パネルでは基板(40)と対向共通電極(22)の間に3原色カラーフィルタが設けられる。そして第1の透光性基板(30)と第2の透光性基板(40)とは、 $10\mu m$ 程度の間隔を保つて周辺部が対着され、更にこの間隙内には液晶(23)が封入されて液晶表示パネル(10)が形成されている。

次に液晶表示パネル(10)の動作を説明する。アドレス線 $(Y_1), \dots, (Y_m)$ は $Y$ ドライバからの走査信号により順次走査駆動され、 $T_F$ をフレーム走査周期とすると、電界効果トランジスタ(20)は行ごとに $T_F/n$ の期間だけ順次導通状態にもたせられる。この走査と同期して信号線 $(X_1), \dots, (X_n)$ に表示信号を同時に供給すると、この表示信号の電圧はキャパシタに行ごとに順次書き込まれ、 $T_F$ の期間にわたって保持される。この保持された信

号電圧は画素表示電極(21)に導かれ、対向共通電極(22)との間の液晶層(23)の表示信号電圧に応じて駆起する。こうして画像等の表示がなされる。

以後はこの実施例の駆動を第5図と第6図を用いて説明する。第5図は第9図と対応する図であり、縦軸Vは信号線に供給する表示信号電圧 $V_x$ 及び液晶セルに印加される電圧 $V_s$ の値を示している。また実線 $\overline{OP}$ または $\overline{ON}$ は黒レベルから白レベルに至る表示信号電圧 $V_x$ の振幅を与えるもので、便宜上直線で表している。更にO点を通る横線 $V_0$ は表示信号の極性反転基準電位を示している。この実施例では黒レベル及び白レベルにおけるレベルシフト $\Delta V_{BL}$ 、 $\Delta V_{WH}$ を考慮したうえで、印加電圧 $V_0$ が対向共通電極電位 $V_c$ に対して正負対称となるように、信号線に供給する表示信号電圧 $V_x$ の振幅が、極性反転基準電位 $V_0$ に対する正電位側と負電位側とでは、異なる値に設定されている。即ち対向共通電極電位 $V_c$ を通る双方の極性において振幅が対称な所望の印加電圧 $V_0$ の直線を想定し、黒レベル及び白レベルにおけるレベルシフト $\Delta V_{BL}$ 、 $\Delta V_{WH}$ を上乗せして表示信号電圧 $V_x$

- 15 -

O点とO'点にシフトする。故にO'点を液晶セルの対向共通電極電位 $V_c$ に設定することにより点線 $\overline{OP'}$ または $\overline{ON'}$ からわかるように、液晶セルには対向共通電極電位 $V_c$ を中心に、黒から白に至る各表示レベルにおいて対称の電圧 $V_0$ が印加される。この結果、この実施例は表示の階調再現性に優れ、しかもフリッカーを生じることがなく長寿命である。

なお第5図においてレベルシフト $\Delta V$ は、黒レベルと白レベルの場合についてのみ考慮したが、理想的には中間レベルも含めて電界効果トランジスタのゲート・ソース兼表示電極間容量、液晶セルの容量及びアドレス線に供給する走査信号の振幅を考慮して、信号線に供給する表示信号電圧 $V_x$ の各表示レベルでの振幅を設定すべきであり、このとき $\overline{OP}$ 及び $\overline{ON}$ は必ずしも直線にならない。また液晶表示装置の特性を考慮して表示信号にガンマ補正を施すこともあるが、この場合にも $\overline{OP}$ 及び $\overline{ON}$ は直線とはならない。

なお今までは電界効果トランジスタとして、ソースとドレインはそれぞれ画素表示電極と信号線

及び極性反転基準電位 $V_0$ が求められる。具体的には正電位側にある一方の極性の振幅を、負電位側にある他方の極性の振幅より小さくしている。PCH(フェニル、シクロ、ヘキサン)系液晶で、 $\epsilon_{11}$ (液晶の分子軸方向の誘電率)8、 $\epsilon_{\perp}$ (液晶の分子軸と垂直方向の誘電率)が4のものであれば、

$$\Delta \epsilon = \epsilon_{11} - \epsilon_{\perp} = 4, \quad \epsilon_{11} / \epsilon_{\perp} = 2$$

であり、第5図において、たとえば縦軸単位を1Vにとれば、 $\Delta V_{BL}$ が4V、 $\Delta V_{WH}$ が2Vで、正負両信号電圧比 $V_0$ を基準にして、

$$7/3 = 2.3 \text{ となる。}$$

なお正負両信号電圧比が極端に大きすぎるのは望ましくなく、従って、液晶材料を $\epsilon_{11} / \epsilon_{\perp}$ の実用的な1.5~3内に選ぶのがよい。このような双方極性において非対称な振幅を有する例えば第6図の波形図に示すような表示信号電圧 $V_x$ を信号線に供給すると、レベルシフト $\Delta V_{WH}$ 、 $\Delta V_{BL}$ により、白レベルに対応するP点とN点はそれぞれP'点とN'点にシフトし、黒レベルに対応する

- 16 -

に接続されている構造のものを用いたが、ソースとドレインの設定は任意であり、逆に立場でもよいことは言うまでもない。また電界効果トランジスタがnチャネル及びpチャネルTFTで構成される相補TFT対であるときは、nチャネルTFTの場合と同様に使用できるが、pチャネルTFTであるときは、電圧の極性がnチャネルTFTの場合と逆転する。即ち信号線に供給する表示信号電圧に關し、極性反転基準電位に対し正電位側にある一方の極性の振幅を、負電位側にある他方の極性の振幅より大きくしている。

#### 〔発明の効果〕

以上説明したように本発明のアクティブマトリックス形液晶表示装置は、極性反転基準電位にバイアス電圧を印加するのではなく、信号線に供給する表示信号電圧の振幅を、極性反転基準電位に対する正電位側と負電位側とで変え、液晶に印加される電圧を正電位側と負電位側とで実質的に同一とすることにより、階調再現性が良好で且つフリッカーが生じることなく長寿命とすることがで

きる。

#### 4. 図面の簡単な説明

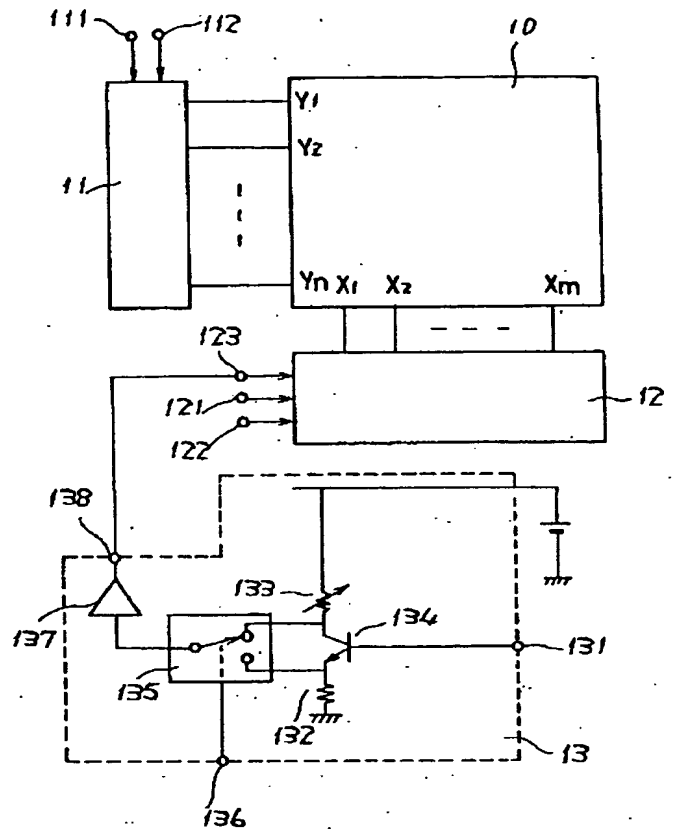
第1図は本発明の一実施例を示す概略図、第2図は本発明の電界効果トランジスタのアレイの一例を示す概略平面図、第3図は本発明の電界効果トランジスタのアレイの一例を示す等価回路図、第4図は本発明の液晶表示パネルの一例を示す断面図、第5図と第6図と本発明の駆動方法の一例を説明するための図、第7図は従来のアクティブマトリックス形液晶表示装置の1画素の構成の一例を示す図、第8図と第9図は従来のアクティブマトリックス形液晶表示装置の駆動方法の一例を説明するための図である。

(20)…電界効果トランジスタ

( $X_1$ ), ..., ( $X_n$ )…信号線

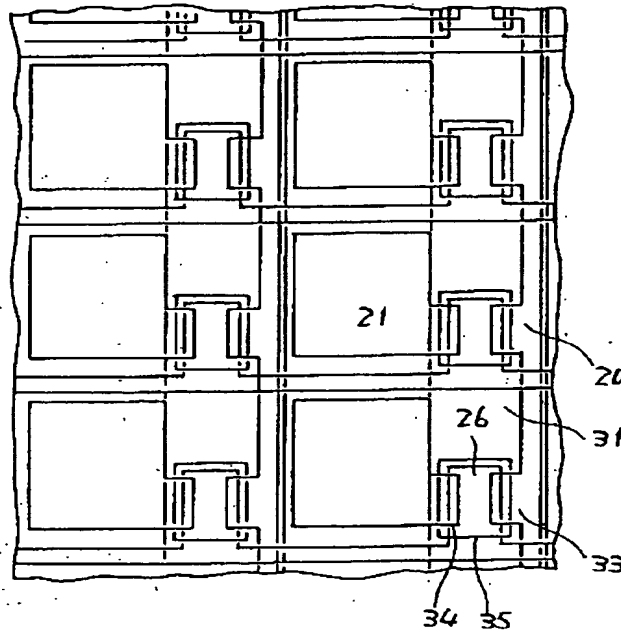
( $Y_1$ ), ..., ( $Y_n$ )…アドレス線

代理人 井理士 則 近 憲 佑  
同 大 胡 典 夫

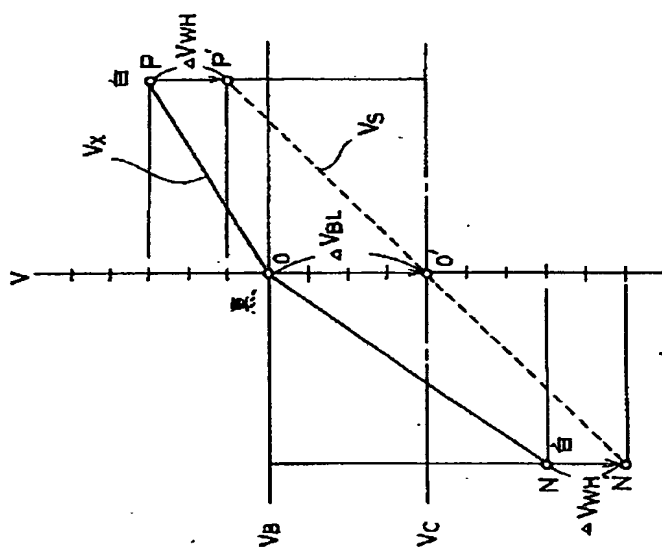


第 1 図

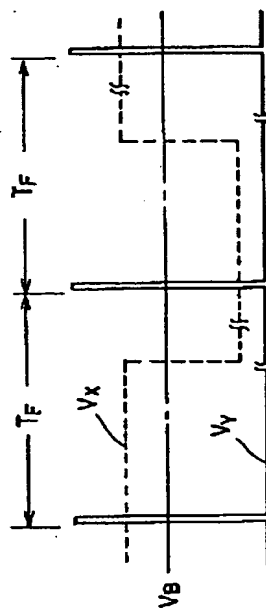
- 19 -



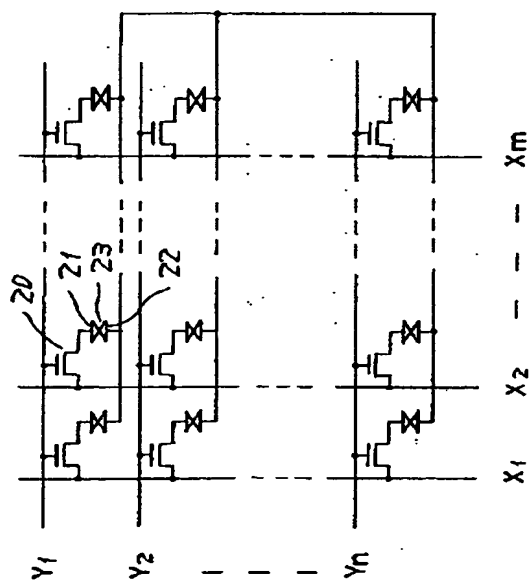
第 2 図



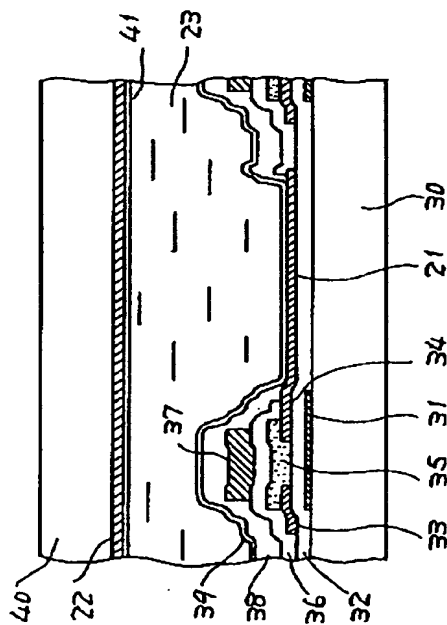
第 5 図



第 6 図

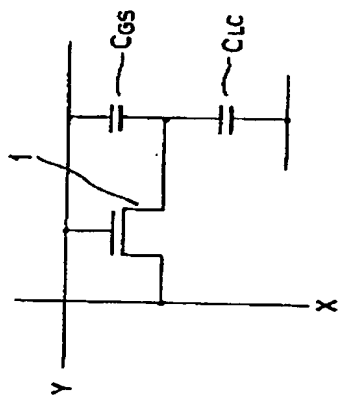


第 3 図

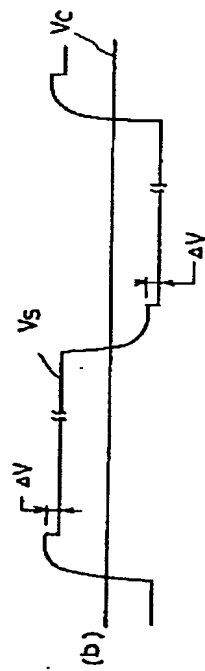
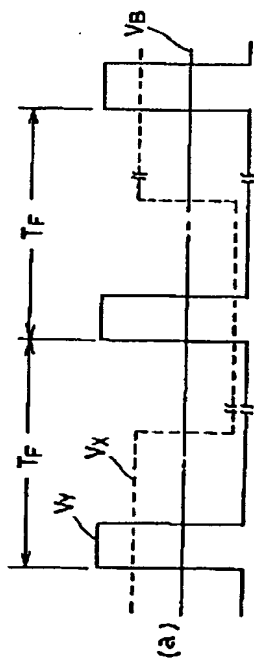


第 4 図

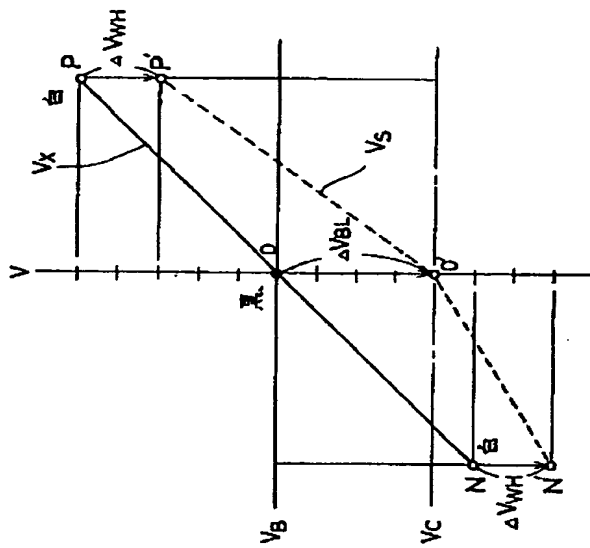




第 7 图



第 8 图



第 9 图